

SEMICONDUCTOR WAFER

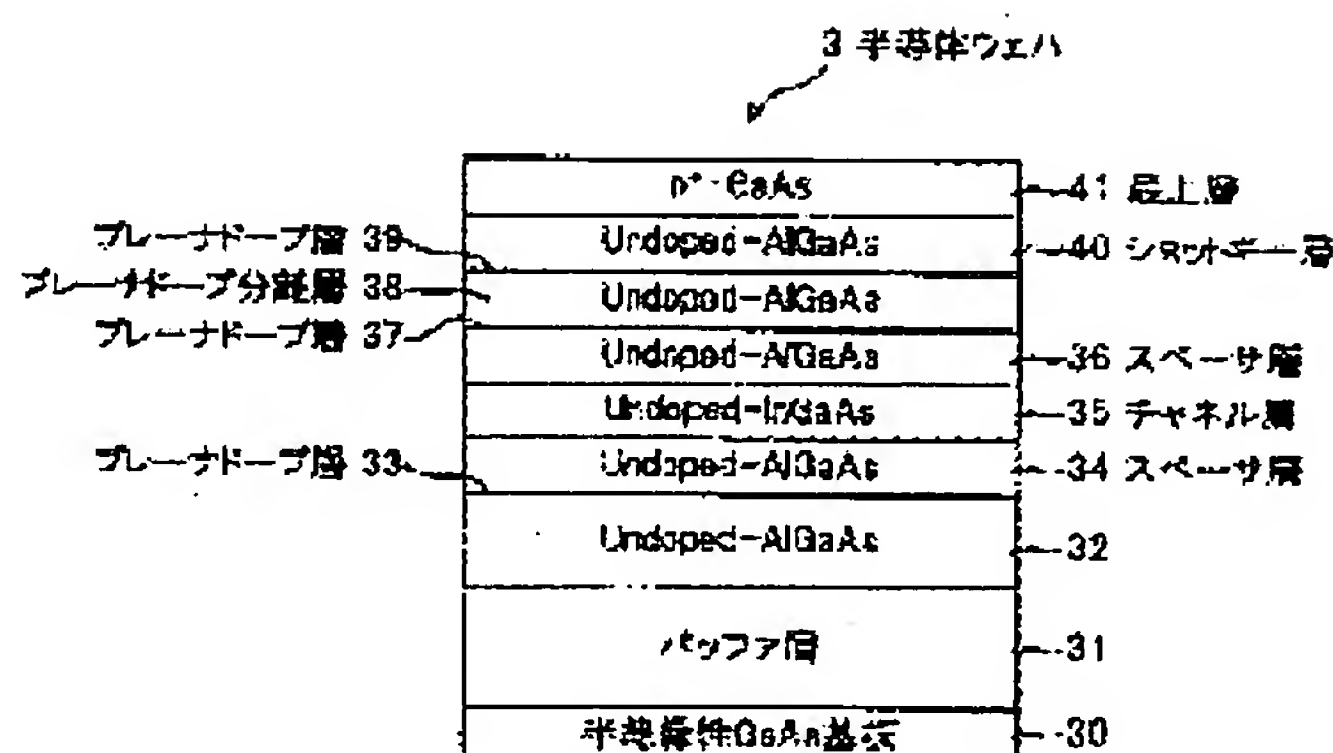
Patent number: JP2001210819
Publication date: 2001-08-03
Inventor: SASAKI YUKIO; TSUCHIYA TADAITSU
Applicant: HITACHI CABLE LTD
Classification:
- international: H01L29/778; H01L21/338; H01L29/812
- european:
Application number: JP20000016238 20000125
Priority number(s):

Report a data error here

Abstract of JP2001210819

PROBLEM TO BE SOLVED: To provide a compound semiconductor wafer which has the structure of a high-electron mobility transistor, which is manufactured through an MOVPE method and comprises planar doped layers, and is high in both the sheet carrier concentration and the electron mobility in the wafer.

SOLUTION: A semiconductor wafer is provided with at least a channel layer 35, formed on a substrate 30 by an MOVPE method and planar doped layers 37 and 39 formed isolated in at least two layers on the layer 35 via a planar doped isolation layer 38 by the MOVPE method. Electrons of the component of a surface depletion layer and electrons of the component of the layer 35 are respectively doped to each of the layers 37 and 39. Hereby, the planar doped layer on one side of the planar doped layers can reduce the quantity of the electrons, which are doped to the vicinity of the layer 35, and the electron mobility in the semiconductor wafer can be enhanced.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-210819

(P2001-210819A)

(43)公開日 平成13年8月3日(2001.8.3)

(51) Int.Cl.7

識別記号

FI

テークアウト* (参考)

H O 1 L 29/778

H O 1 L 29/80

H 5 F 1 0 2

21/338

29/812

審査請求 未請求 請求項の数8 OL (全 6 頁)

(21)出願番号 特願2000-16238(P2000-16238)

(22) 出願日 平成12年1月25日(2000.1.25)

(71)出願人 000005120

日立電線株式会社

東京都千代田区大手町一丁目6番1号

(72)発明者 佐々木 幸男

茨城県日立市日高町5丁目1番1号 日立
電線株式会社日高工場内

(72)発明者 土屋 忠蔵

茨城県土浦市木田余町3550番地 日立電線
株式会社アドバンスリサーチセンタ内

(74) 代理人 100071526

弁理士 平田 忠雄

最終頁に続く

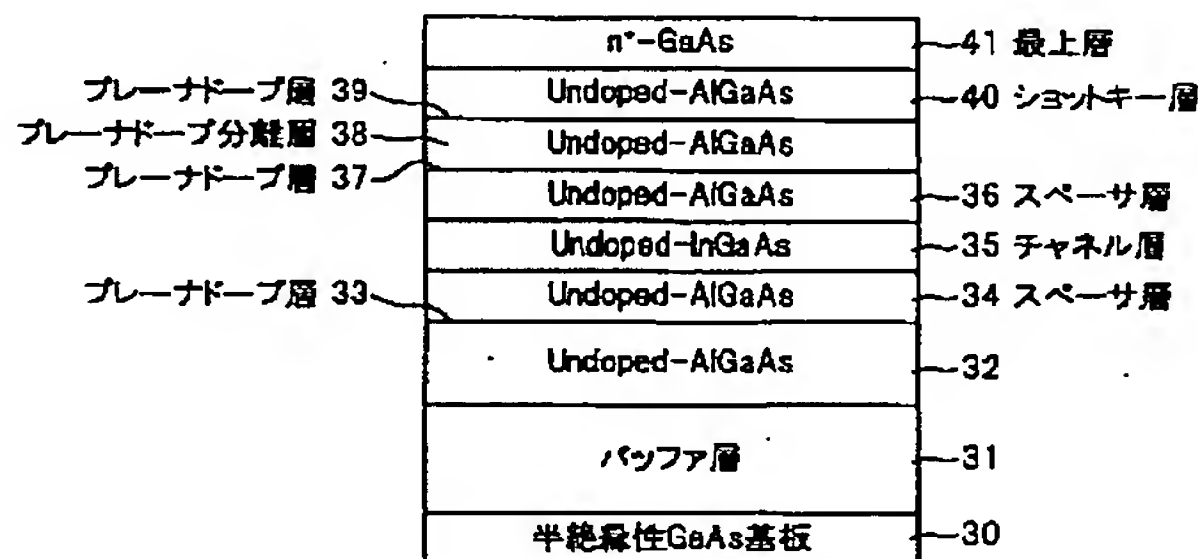
(54) 【発明の名称】 半導体ウェハ

(57) 【要約】

【課題】 MOVPE法により製造されたプレーナドー
ブ層を含む高電子移動度トランジスタの構造を有し、シ
ートキャリア濃度や移動度が共に高い化合物半導体ウェ
ハを提供すること。

【解決手段】 MOVPE法により、基板30上に形成されたチャネル層35と、前記チャネル層上にプレーナドープ分離層38を介して少なくとも2層に分離形成されたプレーナドープ層37、39とを少なくとも備える。そして、各プレーナドープ層が表面空乏層の分の電子とチャネル層の分の電子をそれぞれドーピングする。これにより、一方のプレーナドープ層がチャネル層の近傍にドーピングする電子の量を低減することができ、移動度を高めることができる。

3 半導体ウエハ



【特許請求の範囲】

【請求項1】 半導体基板あるいは半絶縁基板の上方に形成された電子走行層と、

前記電子走行層の上方に形成されたプレーナ状の電子供給層を備え、

前記電子供給層は分離層を介して少なくとも2層に分離されていることを特徴とする高電子移動度トランジスタ構造の半導体ウェハ。

【請求項2】 前記電子走行層および前記電子供給層は、有機金属気相成長法によって形成されることを特徴とする請求項1に記載の半導体ウェハ。

【請求項3】 前記電子供給層は、Si-プレーナドープ層であることを特徴とする請求項2に記載の半導体ウェハ。

【請求項4】 前記分離層は、0.5nm～15nmの厚さを有することを特徴とする請求項1に記載の半導体ウェハ。

【請求項5】 半導体基板あるいは半絶縁基板の上方に形成されたプレーナ状の第1の電子供給層と、

前記第1の電子供給層の上方に形成された電子走行層と、

前記電子走行層の上方に形成されたプレーナ状の第2の電子供給層を備え、

前記第2の電子供給層は、分離層を介して少なくとも2層に分離されていることを特徴とする高電子移動度トランジスタ構造の半導体ウェハ。

【請求項6】 前記第1および第2の電子供給層および前記電子走行層は、有機金属気相成長法によって形成されることを特徴とする請求項5に記載の半導体ウェハ。

【請求項7】 前記第1および第2の電子供給層は、Si-プレーナドープ層であることを特徴とする請求項6に記載の半導体ウェハ。

【請求項8】 前記分離層は、0.5nm～15nmの厚さを有することを特徴とする請求項5に記載の半導体ウェハ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高電子移動度トランジスタの構造を有した半導体ウェハに関し、特に有機金属気相成長法により製造されたプレーナドープ層を含む高電子移動度トランジスタの構造を有した化合物半導体ウェハに関するものである。

【0002】

【従来の技術】ヘテロ接合形の電界効果トランジスタの1つである高電子移動度トランジスタ(High Electron Mobility Transistor、以下、HEMTという)の構造を有した半導体ウェハは、電子親和力の大きい電子走行層を形成すると共に、この電子走行層と比較して電子親和力の小さい電子供給層を形成することでヘテロ接合をなす構造を有して

いる。

【0003】このようなHEMTの構造を有した半導体ウェハは、電子供給層が高濃度に不純物を含有するプレーナドープ層を含む積層体とされており、電子供給層が電子走行層への不純物の移動を防止しながら、電子走行層の電子親和力と電子供給層の電子親和力の差に起因して発生する2次元電子ガスを電子走行層と電子供給層の界面近傍の空間に十分に供給する機能を有するため、2次元電子ガスがイオン化不純物散乱の影響を受けにくく、高い電子移動度を得ることができ、HEMTとしたときのスイッチング速度の向上を図ることができる。

【0004】特に、Siがドープされたプレーナドープ層を含むシュードモルフィックHEMTの構造を有した半導体ウェハは、高出力で高効率な携帯電話用のパワー増幅器を製造する場合に、Si-プレーナドープ層の代わりにn-AlGaAs層を含むシュードモルフィックHEMT(均一ドープ)の構造を有した半導体ウェハよりも高濃度化や薄層化が実現可能であるという点で、また高ゲート耐圧化が実現可能であるという点で有利であり、多用されている。尚、上記Si-プレーナドープ層は、オーミックコンタクトのシリーズ抵抗を小さくする目的で挿入したSi-プレーナドープ層とは目的が全く異なるものである。

【0005】図3は、従来のダブルSi-プレーナドープ層を含むシュードモルフィックHEMTの構造を有した半導体ウェハの構造を示す。この半導体ウェハ1は、GaAsでなる半絶縁基板10上に電子供給層の第1層であるアンドープのAlGaAsでなるスペーサ層12がバッファ層11を介して形成され、スペーサ層12上に電子供給層の第2層であるSiがドーパントされたプレーナドープ層13が形成され、プレーナドープ層13上に電子供給層の第3層であるアンドープのAlGaAsでなるスペーサ層14が形成されている。

【0006】さらに、スペーサ層14上に電子走行層であるアンドープのInGaAsでなるチャネル層15が形成され、チャネル層15上に電子供給層の第4層であるアンドープのAlGaAsでなるスペーサ層16が形成され、スペーサ層16上に電子供給層の第5層であるSiがドーパントされたプレーナドープ層17が形成され、プレーナドープ層17上にアンドープのAlGaAsでなるショットキー層18が形成され、ショットキー層18上にn⁺-GaAsでなる最上層19が形成された構成となっている。

【0007】図4は、従来のシングルSi-プレーナドープ層を含むシュードモルフィックHEMTの構造を有した半導体ウェハの構造を示す。この半導体ウェハ2は、GaAsでなる半絶縁基板20上に電子走行層であるアンドープのInGaAsでなるチャネル層23がバッファ層21及びアンドープのGaAs層22を介して形成され、チャネル層23上に電子供給層の第1層であ

るアンドープのAlGaAsでなるスペーサ層24が形成され、スペーサ層24上に電子供給層の第2層であるSiがドーパントされたプレーナドープ層25が形成され、プレーナドープ層25上にアンドープのAlGaAsでなるショットキー層26が形成され、ショットキー層26上に n^+ -GaAsでなる最上層27が形成された構成となっている。

【0008】以上のようなSi-プレーナドープ層を含むシュードモルフィックHEMTの構造を有した半導体ウェハ1、2を製造する方法としては、有機金属気相成長法(Metal Organic Vapor Phase Epitaxy、以下、MOVPE法という)と、分子線エピタキシ法(Molecular Beam Epitaxy、以下、MBE法という)がある。

【0009】そして、これらの半導体ウェハ1、2の特性は、通常、ショットキー層19、26まで成長させたものをPander Pauw法により測定して得られるシートキャリア濃度(n_s)と移動度(μ)で評価する。即ち、一般に、シートキャリア濃度(n_s)が高くなると移動度(μ)は低下するため、シートキャリア濃度(n_s)と移動度(μ)が共に高い半導体ウェハが特性の良いものということになる。

【0010】MOVPE法により製造された半導体ウェハ1、2とMBE法により製造された半導体ウェハ1、2の各特性を評価すると、シートキャリア濃度(n_s)に関しては大きな差は見られない。

【0011】

【発明が解決しようとする課題】しかし、従来のプレーナドープ層を含む高電子移動度トランジスタによると、量産性に優れたMOVPE法によって製造すると、量産性の低いMBE法によって製造されたものに比較すると移動度が低くなるという問題が生じる。この原因は、2次元的にドーパされたSiの活性化率に差があるためと推定される。

【0012】従って、本発明の目的は、MOVPE法により製造されたプレーナドープ層を含む高電子移動度トランジスタの構造を有し、シートキャリア濃度や移動度が共に高い化合物半導体ウェハを提供することにある。

【0013】

【課題を解決するための手段】本発明は、上記目的を実現するため、半導体基板あるいは半絶縁基板の上方に形成された電子走行層と、前記電子走行層の上方に形成されたプレーナ状の電子供給層を備え、前記電子供給層は分離層を介して少なくとも2層に分離されていることを特徴とする高電子移動度トランジスタ構造の半導体ウェハを提供する。

【0014】また、本発明は、上記目的を実現するため、半導体基板あるいは半絶縁基板の上方に形成されたプレーナ状の第1の電子供給層と、前記第1の電子供給層の上方に形成された電子走行層と、前記電子走行層の

上方に形成されたプレーナ状の第2の電子供給層を備え、前記第2の電子供給層は、分離層を介して少なくとも2層に分離されていることを特徴とする高電子移動度トランジスタ構造の半導体ウェハを提供する。

【0015】上記構成によれば、最表面に位置する層はアンドープ層あるいは n^- 層であるため、表面空乏層がプレーナ状の電子供給層側に必ず延びている。従って、ドーパした不純物から実際に出る電子の一部が、表面空乏層により消費され、残りの電子が、電子走行層に供給されることになる。このため、プレーナ状の電子供給層が1層の場合は、表面空乏層と電子走行層の両者の分の電子を電子走行層の近傍に大量にドーパする必要があるが、プレーナ状の電子供給層を2層以上に分離しているため、各プレーナ状の電子供給層が表面空乏層の分の電子と電子走行層の分の電子をそれぞれドーパすればよいことになる。よって、一方のプレーナ状の電子供給層が電子走行層の近傍にドーパする電子の量を低減することができ、移動度を高めることができる。

【0016】

【発明の実施の形態】図1は、本発明の半導体ウェハの実施形態の構造を示す。この半導体ウェハ3は、ダブルSi-プレーナドープ層を含むシュードモルフィックHEMTの構造を有した半導体ウェハであり、GaAsでなる半絶縁基板30上に電子供給層の第1層であるアンドープのAlGaAsでなるスペーサ層32がバッファ層31を介して形成され、スペーサ層32上に電子供給層の第2層であるSiがドーパントされたプレーナドープ層33が形成されている。

【0017】そして、プレーナドープ層33上に電子供給層の第3層であるアンドープのAlGaAsでなるスペーサ層34が形成され、スペーサ層34上に電子走行層であるアンドープのInGaAsでなるチャネル層35が形成され、チャネル層35上に電子供給層の第4層であるアンドープのAlGaAsでなるスペーサ層36が形成され、スペーサ層36上に電子供給層の第5層であるSiがドーパントされたプレーナドープ層37が形成されている。

【0018】さらに、プレーナドープ層37上に電子供給層の第6層であるアンドープのAlGaAsでなるプレーナドープ分離層38が形成され、プレーナドープ分離層38上に電子供給層の第7層であるSiがドーパントされたプレーナドープ層39が形成され、プレーナドープ層39上にアンドープのAlGaAsでなるショットキー層40が形成され、ショットキー層40上に n^+ -GaAsでなる最上層41が形成された構成となっている。

【0019】このような構成の半導体ウェハ3をショットキー層40までMOVPE法により製造した。AlGaAsのAl組成は、0.24、InGaAsのIn組成は、0.20とした。また、プレーナドープ層37

は、チャネル層35に電子を供給するためのものであり、Siのドーパント量を $3.5 \times 10^{12} \text{ cm}^{-2}$ とし、また、プレーナドープ層39は、ショットキー層40側の表面空乏層の電子の消費分を補償するためのものであり、Siのドーパント量を $2.5 \times 10^{12} \text{ cm}^{-2}$ とした。また、プレーナドープ分離層38は、プレーナドープ層37、39を分離するためのものであり、厚さを2 nmとし、ショットキー層40は、後で説明する比較例とVthを合わせるために、厚さを28 nmとした。

【0020】そして、このMOVPE法により製造したショットキー層40までの半導体ウェハ3のシートキャリア濃度(ns)と移動度(μ)を、Pander Pauw法により室温で測定して得たところ、シートキャリア濃度(ns)は、 $3.3 \times 10^{12} \text{ cm}^{-2}$ となり、移動度(μ)は、 $6210 \text{ cm}^2 / \text{V} \cdot \text{S}$ となった。

【0021】一方、比較例として、図3に示す従来の半導体ウェハ1をショットキー層18までMBE法及びMOVPE法により製造した。Al組成は、0.24、In組成は、0.20とした。また、プレーナドープ層13のSiのドーパント量を $1.5 \times 10^{12} \text{ cm}^{-2}$ とし、また、プレーナドープ層17のSiのドーパント量を $6.0 \times 10^{12} \text{ cm}^{-2}$ とした。また、スペーサ層14、16の厚さを3 nmとし、チャネル層15の厚さを15 nmとし、ショットキー層18の厚さを30 nmとした。

【0022】そして、このMBE法により製造したショットキー層18までの半導体ウェハ1のシートキャリア濃度(ns)と移動度(μ)を、Pander Pauw法により室温で測定して得たところ、シートキャリア濃度(ns)は、 $3.3 \times 10^{12} \text{ cm}^{-2}$ となり、移動度(μ)は、 $6150 \text{ cm}^2 / \text{V} \cdot \text{S}$ となった。また、MOVPE法により製造したショットキー層18までの半導体ウェハ1のシートキャリア濃度(ns)と移動度(μ)を、Pander Pauw法により室温で測定して得たところ、シートキャリア濃度(ns)は、 $3.3 \times 10^{12} \text{ cm}^{-2}$ となり、移動度(μ)は、 $5430 \text{ cm}^2 / \text{V} \cdot \text{S}$ となった。

【0023】以上のように、本実施形態のMOVPE法により製造した半導体ウェハ3の特性は、従来のMOVPE法により製造した半導体ウェハ1の特性より高くなり、さらにMBE法により製造した半導体ウェハ1の特性と同等以上の結果を得ることができた。この理由は、最表面に位置するショットキー層40はアンドープ層であるため、表面空乏層がプレーナドープ層39側に必ず延びている。従って、プレーナドープ層39から実際に出る電子の一部が、表面空乏層により消費され、残りの電子が、チャネル層35に供給されることになるが、プレーナドープ層37があるため、プレーナドープ層39が表面空乏層の分の電子をドーピングし、プレーナドープ層37がチャネル層35の分の電子をドーピングすることにな

る。よって、プレーナドープ層39がチャネル層35の近傍にドーピングする電子の量を低減することができ、移動度(μ)を高めることができる。

【0024】尚、プレーナドープ層37、39を分離するためのプレーナドープ分離層38は、0.5 nm~1.5 nmに形成することが好ましい。この理由は、0.5 nmより小さくすると、従来の半導体ウェハ1と殆ど変わらないためであり、また、通常は20 nm~30 nmの厚さのショットキー層40側の表面空乏層に消費されるプレーナドープ層39の位置がゲート金属に近くなればなるほどゲート耐圧は低下するため、1.5 nmが最大と考えられるためである。

【0025】図2は、本発明の半導体ウェハの別の実施形態の構造を示す。この半導体ウェハ5は、シングルSi-プレーナドープ層を含むシュードモルフィックHEMTの構造を有した半導体ウェハであり、GaAsでなる半絶縁基板50上に電子走行層であるアンドープのInGaAsでなるチャネル層53がバッファ層51及びアンドープのGaAs層52を介して形成され、チャネル層53上に電子供給層の第1層であるアンドープのAlGaAsでなるスペーサ層54が形成され、スペーサ層54上に電子供給層の第2層であるSiがドーパントされたプレーナドープ層55が形成されている。

【0026】さらに、プレーナドープ層55上に電子供給層の第3層であるアンドープのAlGaAsでなるプレーナドープ分離層56が形成され、プレーナドープ分離層56上に電子供給層の第4層であるSiがドーパントされたプレーナドープ層57が形成され、プレーナドープ層57上にアンドープのAlGaAsでなるショットキー層58が形成され、ショットキー層58上に n^+ -GaAsでなる最上層59が形成された構成となっている。

【0027】このような構成の半導体ウェハ5をショットキー層58までMOVPE法により製造した。AlGaAsのAl組成は、0.24、InGaAsのIn組成は、0.20とした。また、プレーナドープ層55は、チャネル層53に電子を供給するためのものであり、Siのドーパント量を $2.0 \times 10^{12} \text{ cm}^{-2}$ とし、また、プレーナドープ層57は、ショットキー層58側の表面空乏層の電子の消費分を補償するためのものであり、Siのドーパント量を $1.0 \times 10^{12} \text{ cm}^{-2}$ とした。また、プレーナドープ分離層56は、プレーナドープ層55、57を分離するためのものであり、厚さを2 nmとし、ショットキー層58の厚さを28 nmとした。

【0028】そして、このMOVPE法により製造したショットキー層58までの半導体ウェハ5のシートキャリア濃度(ns)と移動度(μ)を、Pander Pauw法により室温で測定して得たところ、シートキャリア濃度(ns)は、 $1.8 \times 10^{12} \text{ cm}^{-2}$ となり、

移動度 (μ) は、 $6580 \text{ cm}^2 / \text{V} \cdot \text{S}$ となった。

【0029】一方、比較例として、図4に示す従来の半導体ウェハ2をショットキー層26までMBE法及びMOVPE法により製造した。Al組成は、0.24、In組成は、0.20とした。また、プレーナドープ層25のSiのドーパント量を $3.0 \times 10^{12} \text{ cm}^{-2}$ とした。また、チャネル層23の厚さを15nmとし、スペーサ層24の厚さを3nmとし、ショットキー層26の厚さを30nmとした。

【0030】そして、このMBE法により製造したショットキー層26までの半導体ウェハ2のシートキャリア濃度 (n_s) と移動度 (μ) を、Pan der Pauw法により室温で測定して得たところ、シートキャリア濃度 (n_s) は、 $1.8 \times 10^{12} \text{ cm}^{-2}$ となり、移動度 (μ) は、 $6530 \text{ cm}^2 / \text{V} \cdot \text{S}$ となった。また、MOVPE法により製造したショットキー層26までの半導体ウェハ2のシートキャリア濃度 (n_s) と移動度 (μ) を、Pan der Pauw法により室温で測定して得たところ、シートキャリア濃度 (n_s) は、 $1.8 \times 10^{12} \text{ cm}^{-2}$ となり、移動度 (μ) は、 $5680 \text{ cm}^2 / \text{V} \cdot \text{S}$ となった。

【0031】以上のように、本実施形態のMOVPE法により製造した半導体ウェハ5の特性は、従来のMOVPE法により製造した半導体ウェハ2の特性より高くなり、さらにMBE法により製造した半導体ウェハ2の特性と同等以上の結果を得ることができた。この理由は、最表面に位置するショットキー層58はアンドープ層であるため、表面空乏層がプレーナドープ層57側に必ず延びている。従って、プレーナドープ層57から実際に出る電子の一部が、表面空乏層により消費され、残りの電子が、チャネル層53に供給されることになるが、プレーナドープ層55があるため、プレーナドープ層57が表面空乏層の分の電子をドーブし、プレーナドープ層55がチャネル層53の分の電子をドーブすることになる。よって、プレーナドープ層57がチャネル層53の近傍にドーブする電子の量を低減することができ、移動度 (μ) を高めることができる。

【0032】尚、プレーナドープ層55、57を分離するためのプレーナドープ分離層56は、0.5nm～15nmに形成することが好ましい。この理由は、0.5nmより小さくすると、従来の半導体ウェハ2と殆ど変わらなくなるためであり、また、通常は20nm～30nmの厚さのショットキー層58側の表面空乏層に消費されるプレーナドープ層57の位置がゲート金属に近くなればなるほどゲート耐圧は低下するため、15nmが最大と考えられるためである。

【0033】尚、上述した半導体ウェハ3のAl組成や、プレーナドープ層37のSiのドーブ量とプレーナドープ層39のSiのドーブ量の比、及び半導体ウェハ5のAl組成や、プレーナドープ層55のSiのドーブ

量とプレーナドープ層57のSiのドーブ量の比は、上記値に限定されるものではない。また、半導体ウェハ3のプレーナドープ層37、39を分離するためのプレーナドープ分離層38や、半導体ウェハ5のプレーナドープ層55、57を分離するためのプレーナドープ分離層56は、AlGaAsに限定されるものではなく、例えばGaAsやInGaPでも同様の効果を得ることができ、さらに、半導体ウェハ3のショットキー層40や、半導体ウェハ5のショットキー層58も、AlGaAsに限定されるものではなく、例えばInGaPでも同様の効果を得ることができる。また、半絶縁性基板は半導体基板に置換可能であり、本発明の半導体ウェハをMBE法によって製造することを妨げるものではない。

【0034】

【発明の効果】以上述べたように、本発明によれば、プレーナドープ層を含む高電子移動度トランジスタの構造を有したシートキャリア濃度や移動度共に高い半導体ウェハをMOVPE法により製造することができるので、量産性を高めることができ、製造コストを低減することができる。

【図面の簡単な説明】

【図1】本発明の半導体ウェハの実施形態の構造を示す説明図である。

【図2】本発明の半導体ウェハの別の実施形態の構造を示す説明図である。

【図3】従来の半導体ウェハの構造を示す説明図である。

【図4】従来の半導体ウェハの別の構造を示す説明図である。

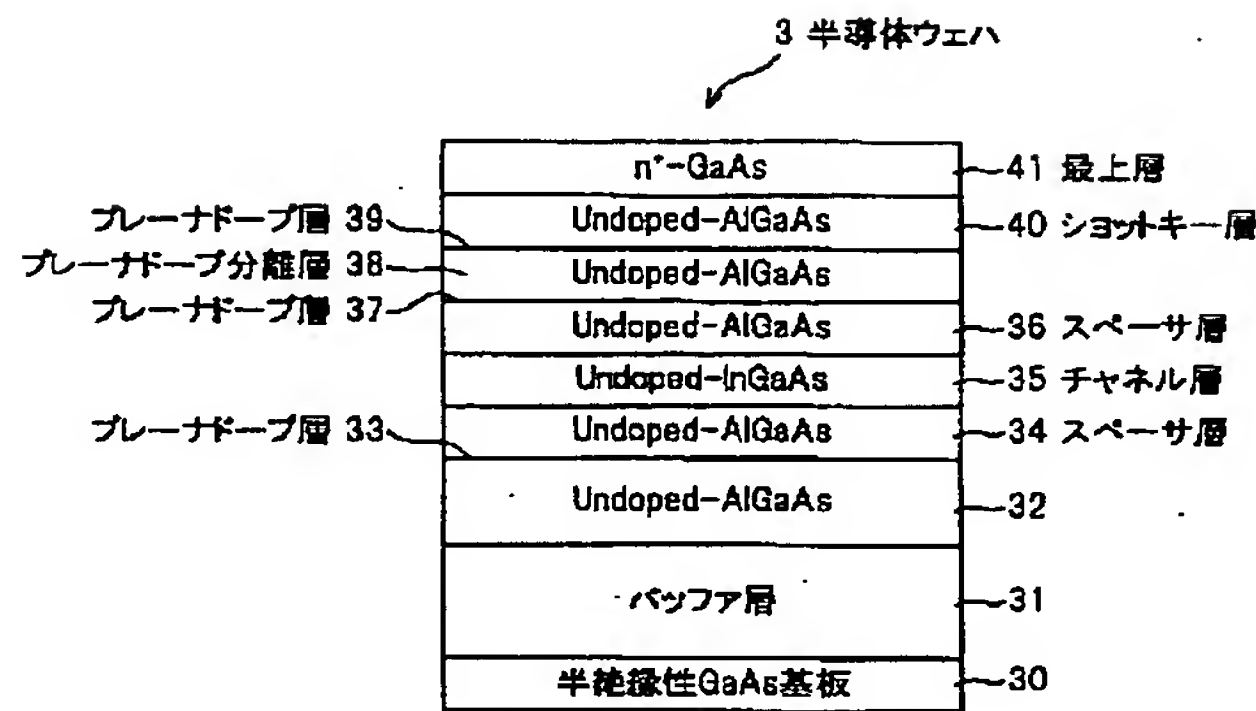
【符号の説明】

- 1 半導体ウェハ
- 2 半導体ウェハ
- 3 半導体ウェハ
- 4 半導体ウェハ
- 10 半絶縁基板
- 11 バッファ層
- 12 スペーサ層
- 13 プレーナドープ層
- 14 スペーサ層
- 15 チャネル層
- 16 スペーサ層
- 17 プレーナドープ層
- 18 ショットキー層
- 19 最上層
- 20 半絶縁基板
- 21 バッファ層
- 22 GaAs層
- 23 チャネル層
- 24 スペーサ層
- 25 プレーナドープ層

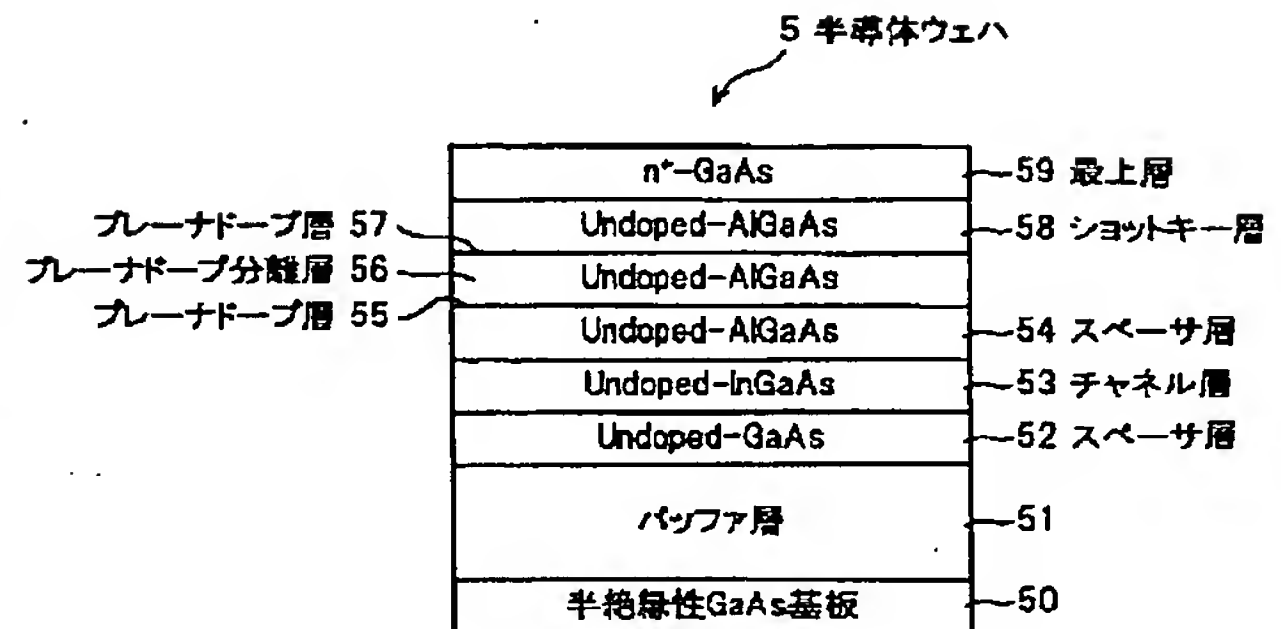
26 ショットキー層
27 最上層
30 半絶縁基板
31 バッファ層
32 スペーサ層
33 プレーナドープ層
34 スペーサ層
35 チャンネル層
36 スペーサ層
37 プレーナドープ層
38 プレーナドープ分離層
39 プレーナドープ層

40 ショットキー層
41 最上層
50 半絶縁基板
51 バッファ層
52 GaAs層
53 チャンネル層
54 スペーサ層
55 プレーナドープ層
56 プレーナドープ分離層
57 プレーナドープ層
58 ショットキー層
59 最上層

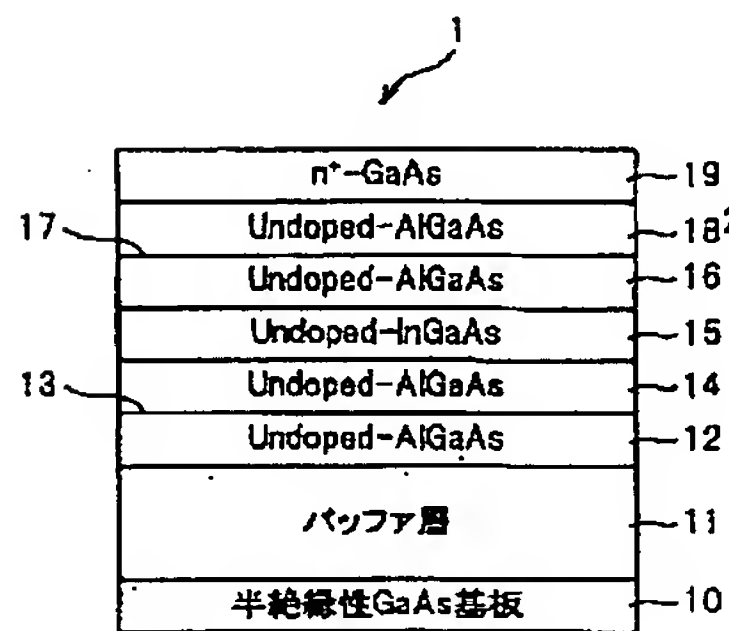
【図1】



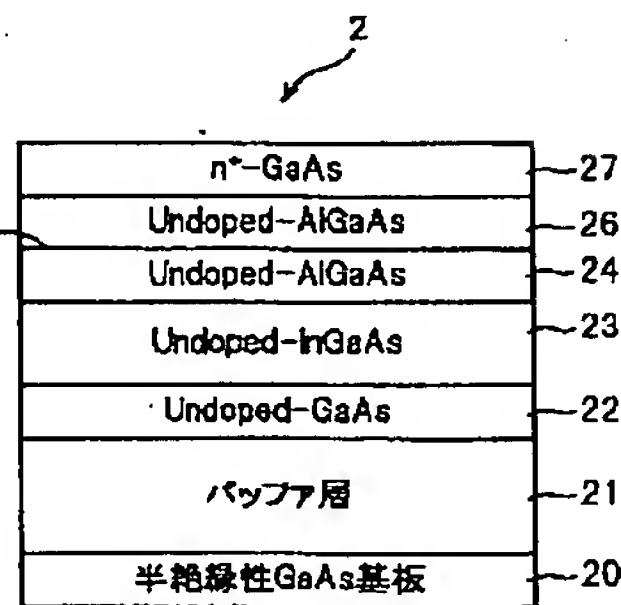
【図2】



【図3】



【図4】



フロントページの続き

Fターム(参考) 5F102 FA00 GB01 GC01 GD01 GJ05
GK05 GL04 GL20 GM00 GM05
GM06 GM07 GM08 GM10 GN05
GQ01 GQ04 GR00 GR07 HC01
HC04